

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-262153

(43)Date of publication of application : 21.11.1991

(51)Int.Cl.

H01L 27/06
H01L 31/10

(21)Application number : 02-060628

(71)Applicant : SHARP CORP

(22)Date of filing : 12.03.1990

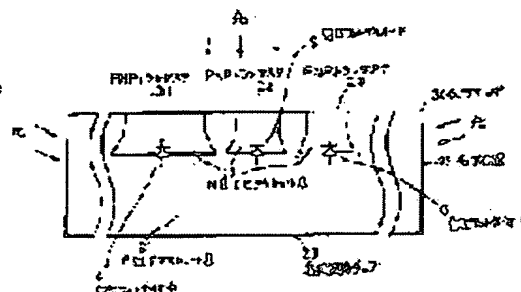
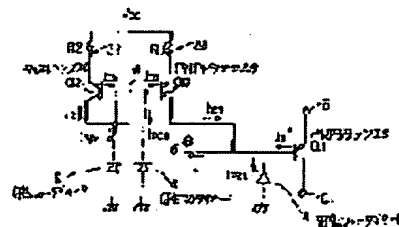
(72)Inventor : YOKOGAWA SEIICHI
OKABAYASHI NAONORI
KIHARA SEIICHIRO

(54) PNP TRANSISTOR CIRCUIT

(57)Abstract:

PURPOSE: To lessen the influence of external light on PNP transistors by a method wherein a current correspondent to the sum of photocurrents of parasitic photodiodes of a second and a third PNP transistor is extracted as the collector current of the third PNP transistor, and the extracted current is made to flow into the base terminal of a first PNP transistor.

CONSTITUTION: PNP transistors Q2 and Q3 are provided, where the base terminals of the transistors Q2 and Q3 and the emitter terminal of the transistor Q2 are connected together, the emitter terminal of the transistor Q2 is connected to a power supply Vcc through the intermediary of a resistor 32, and the emitter terminal of the transistor Q3 is connected to the power supply Vcc through the intermediary of a resistor 33. The collector terminal of the transistor Q3 is connected to the base terminal B1 of the transistor Q1. N-type epitaxial layers 22 formed in a P-type substrate layer 21 are made to serve corresponding to the bases of the transistors Q1, Q2, and Q3, and parasitic photodiodes 4, 6, and 6 are located between the N-type epitaxial layers 22 and the P-type substrate layer 21 respectively. By this setup, the influence of external light on the operation of a PNP transistor can be lessened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 3-262153/1991 (*Tokukaihei* 3-262153)

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

2. CLAIMS

(1) A PNP transistor circuit in a monolithic integrated circuit, comprising a first PNP transistor, characterized by further comprising:

a second PNP transistor;

a third PNP transistor;

a connecting point connecting a base terminal of the second PNP transistor, a base terminal of the third PNP transistor, and a collector terminal of the second PNP transistor; and

a current mirror circuit connecting a collector terminal of the third PNP transistor with the base terminal of the first PNP transistor.

(2) The PNP transistor circuit as defined by claim 1, wherein:

$$S_1 = (S_2 + S_3) I_{C3} / I_{C2}$$

where S_1 is an area of a base region of the first PNP transistor; S_2 is an area of a base region of the second PNP transistor; S_3 is an area of a base region of the third PNP transistor; I_{C2} is a collector current of the second PNP transistor; and I_{C3} is a collector current of the third PNP transistor.

(3) The PNP transistor circuit as defined by claim 2, wherein:

$$I_{C2} = I_{C3}.$$

(4) A PNP transistor circuit in a monolithic integrated circuit, comprising a first PNP transistor, characterized by further comprising:

a first collector;

a second collector;

a connecting point connecting a terminal of the first collector and a base collector;

a PNP transistor having a multi-collector structure, in which a terminal of the second collector is connected with a base terminal of the first PNP transistor.

(5) The PNP transistor circuit as defined by claim 4, wherein:

$$S_4 = S_B S_{C2} / S_{C1}$$

where S_4 is an area of a base region of the first PNP transistor; S_B is an area of a base region of the PNP transistor having the

multi-collector structure; Sc_1 is a perimeter of the first collector; and Sc_2 is a perimeter of the second collector.

(6) The PNP transistor circuit as defined by claim 5, wherein:

$$Sc_1 = Sc_2.$$

3. DETAILED DESCRIPTION OF THE INVENTION

INDUSTRIAL FIELD

The present invention relates to a PNP transistor circuit, and more specifically to decreasing an influence of light on operation of PNP transistors in a monolithic integrated circuit.

RELATED ART

Fig. 3 illustrates an equivalent circuit of a conventional PNP transistor in a bipolar monolithic integrated circuit, and Fig. 4 illustrates a structure of a cross-section thereof.

As shown in Fig. 4, due to a structure of the integrated circuit, there is a parasitic photodiode (102) between an N-type epitaxial layer (22) and a P-type substrate layer (21). Therefore, in the equivalent circuit of Fig. 3, the parasitic photodiode (102) is connected between a base terminal of a PNP transistor (Q101) and a grounding point. In Fig. 3, particularly if the PNP transistor (Q101) is in an integrated circuit provided in proximity with a photoelectric conversion element within the same chip, there is a high possibility that a photocurrent (I_{PD102}) occurs in the parasitic photodiode (102) when light is received....

Conventionally, to decrease this influence, a surface of the element is covered with a two-layered metal wire (25), so as to decrease the photocurrent (I_{PD102}) by shutting out the light incoming through the surface.

EFFECT OF THE INVENTION

...it is possible to decrease the influence of the light incoming from outside on the operation of the PNP transistors.

(3)

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
 ⑫ 公開特許公報(A) 平3-262153

⑬ Int. Cl.⁶

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月21日

H 01 L 27/06
31/107210-4M
7522-5FH 01 L 27/06
31/101 0 1 E
A

審査請求 未請求 請求項の数 6 (全 8 頁)

⑮ 発明の名称 PNPトランジスタ回路

⑯ 特 願 平2-60628

⑰ 出 願 平2(1990)3月12日

⑱ 発 明 者 横 川 成 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ⑱ 発 明 者 岡 林 直 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ⑱ 発 明 者 木 原 誠 一 郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
 ⑳ 代 理 人 弁理士 佐野 静夫

明 細 書

ここで、

1. 発明の名称

PNPトランジスタ回路

2. 特許請求の範囲

(1) モノリシック集積回路内に形成され第1の
 PNPトランジスタを有するPNPトランジスタ
 回路において、

第2及び第3のPNPトランジスタを用いて構
 成され、前記第2及び第3のPNPトランジスタ
 の両ベース端子と前記第2のPNPトランジスタ
 のコレクタ端子のみを結線した接続点を有し、前
 記第3のPNPトランジスタのコレクタ端子を前
 記第1のPNPトランジスタのベース端子に結線
 したカレントミラー回路を設けたことを特徴とす
 るPNPトランジスタ回路。

(2) 次の条件式を満足することを特徴とする第
 1請求項に記載のPNPトランジスタ回路；

$$S_1 = (S_2 + S_3) I_{C2} / I_{C3}$$

S_1 : 前記第1のPNPトランジスタ
 のベース領域の面積
 S_2 : 前記第2のPNPトランジスタ
 のベース領域の面積
 S_3 : 前記第3のPNPトランジスタ
 のベース領域の面積
 I_{C2} : 前記第2のPNPトランジスタ
 のコレクタ電流
 I_{C3} : 前記第3のPNPトランジスタ
 のコレクタ電流

である。

(3) 条件式

$$I_{C2} = I_{C3}$$

を満足することを特徴とする第2請求項に記載の
 PNPトランジスタ回路。

(4) モノリシック集積回路内に形成され第1の
 PNPトランジスタを有するPNPトランジスタ
 回路において、

第1及び第2のコレクタを備え、前記第1のコ

(4)

特開平 3-262153(2)

レクタの端子とベース端子のみを結線した接続点を有し、前記第2のコレクタの端子を前記第1のPNPトランジスタのベース端子に結線したマルチコレクタ構造のPNPトランジスタを設けたことを特徴とするPNPトランジスタ回路。

(5) 次の条件式を満足することを特徴とする第4請求項に記載のPNPトランジスタ回路;

$$S_4 = S_0 S_{C2} / S_{C1}$$

ここで、

S_4 : 前記第1のPNPトランジスタのベース領域の面積

S_0 : 前記マルチコレクタ構造のPNPトランジスタのベース領域の面積

S_{C1} : 前記第1のコレクタの周囲長

S_{C2} : 前記第2のコレクタの周囲長

である。

(6) 条件式

$$S_{C1} = S_{C2}$$

を満足することを特徴とする第5請求項に記載のPNPトランジスタ回路。

-3-

生フォトダイオード(102)に光電流($I_{P,102}$)が発生する可能性が高くなる。したがって、PNPトランジスタ(Q101)のベース電流($I_{B,101}'$)は、ベース端子(100)から他の回路へ流れる電流($I_{B,101}$)と光電流($I_{P,102}$)の和、すなわち

$$I_{B,101}' = I_{B,101} + I_{P,102}$$

となる。このため、PNPトランジスタ(Q101)のベース電流($I_{B,101}'$)が増加し、回路の特性に多大な影響を及ぼす。

従来は、この影響を減少させるため、第4図に示すように素子表面を2層配線用メタル(25)で覆い、表面から侵入する光を遮断して光電流($I_{P,102}$)を減少させる方法で対策していた。

発明が解決しようとする課題

しかし上記対策では、第4図に示すように集積回路チップ(20)のチップ側面(23)やチップエッジ(24)から、又は、同一チップ内に光電変換素子を形成している場合には受光部から、それぞれ侵入した光の一部がPNPトランジスタ(Q101)の寄生フォトダイオード(102)に到達し、微少な光電流が

3. 発明の詳細な説明

産業上の利用分野

本発明は、PNPトランジスタ回路に関するものであり、更に詳しくは、モノリシック集積回路内のPNPトランジスタの動作に対する光の影響の低減化に関する。

従来の技術

第3図に従来のバイポーラモノリシック集積回路におけるPNPトランジスタの等価回路を、第4図にその集積回路断面構造を示す。

第4図に示すように、集積回路の構造上、N型エピタキシャル層(22)とP型サブストレート層(21)の間には寄生フォトダイオード(102)が存在するため、第3図の等価回路においてPNPトランジスタ(Q101)のベース端子と接地点間にこの寄生フォトダイオード(102)が接続されることになる。第3図において、特にPNPトランジスタ(Q101)が光電変換素子と同一チップ内に近接して設けられた集積回路内に存在する場合は、光を受けて寄

-4-

生する。このため、PNPトランジスタ(Q101)をベース電流の小さい領域で使用した回路においては、特性への影響が無視できないという問題があった。

そこで本発明は、このような問題を解決し、光を完全に遮断できないため寄生フォトダイオードで発生する光電流の影響を無視できないような場合であっても、光が完全に遮断された状態とほぼ同等の動作を行なうことができるPNPトランジスタ回路を提供することを目的とする。

課題を解決するための手段

上記目的を達成するため、第1請求項に記載のPNPトランジスタ回路では、モノリシック集積回路内に形成され第1のPNPトランジスタを有するPNPトランジスタ回路において、

第2及び第3のPNPトランジスタを用いて構成され、前記第2及び第3のPNPトランジスタの両ベース端子と前記第2のPNPトランジスタのコレクタ端子のみを結線した接続点を有し、前記第3のトランジスタのコレクタ端子を前記第1

-5-

-6-

(5)

のPNPトランジスタのベース端子に結線したカレントミラー回路を設けている。

そして、第2請求項に記載のPNPトランジスタ回路では、前記第1請求項に記載のPNPトランジスタ回路において次の条件式を満足するように構成している；

$$S_1 = (S_2 + S_3) I_{c2} / I_{c3}$$

ここで、

S_1 : 前記第1のPNPトランジスタのベース領域の面積

S_2 : 前記第2のPNPトランジスタのベース領域の面積

S_3 : 前記第3のPNPトランジスタのベース領域の面積

I_{c2} : 前記第2のPNPトランジスタのコレクタ電流

I_{c3} : 前記第3のPNPトランジスタのコレクタ電流

である。

さらに、第3請求項に記載のPNPトランジスタ

-7-

S_4 : 前記第1のPNPトランジスタのベース領域の面積

S_5 : 前記マルチコレクタ構造のPNPトランジスタのベース領域の面積

S_{c1} : 前記第1のコレクタの周囲長

S_{c2} : 前記第2のコレクタの周囲長

である。

さらに、第6請求項に記載のPNPトランジスタ回路では、前記第5請求項に記載のPNPトランジスタ回路において条件式

$$S_{c1} = S_{c2}$$

を満足するように構成している。

作用

第1請求項に記載のPNPトランジスタ回路によると、第2及び第3のPNPトランジスタのそれぞれの寄生フォトダイオードで発生した光電流の和に応じた電流が、カレントミラー効果を利用して第3のPNPトランジスタのコレクタ電流として取り出され、第1のPNPトランジスタのベース端子に流し込まれる。これにより、第1のP

特開平 3-262153(3)

タ回路では、前記第2請求項に記載のPNPトランジスタ回路において条件式

$$I_{c2} = I_{c3}$$

を満足するように構成している。

また、第4請求項に記載のPNPトランジスタ回路では、モノリシック集積回路内に形成され第1のPNPトランジスタを有するPNPトランジスタ回路において、

第1及び第2のコレクタを備え、前記第1のコレクタの端子とベース端子のみを結線した接続点を有し、前記第2のコレクタの端子を前記第1のPNPトランジスタのベース端子に結線したマルチコレクタ構造のPNPトランジスタを設けている。

そして、第5請求項に記載のPNPトランジスタ回路では、前記第4請求項に記載のPNPトランジスタ回路において次の条件式を満足するように構成している；

$$S_4 = S_5 S_{c2} / S_{c1}$$

ここで、

-8-

NPトランジスタの寄生フォトダイオードで発生した光電流に起因するベース電流の変化分が補償され、第1のPNPトランジスタの動作に対する光の影響が低減される。

そして、第2及び第3請求項に記載のPNPトランジスタ回路によると、前記第1請求項に記載のPNPトランジスタ回路において、第3のPNPトランジスタのコレクタから第1のPNPトランジスタのベース端子に流し込まれる電流と、第1のPNPトランジスタの寄生フォトダイオードで発生した光電流とがほぼ等しくなり、第1のPNPトランジスタのベース電流の変化分に対する補償が高精度に行なわれる。

また、第4請求項に記載のPNPトランジスタ回路によると、マルチコレクタ構造のPNPトランジスタの寄生フォトダイオードで発生した光電流に応じた電流が、マルチコレクタ構造を利用して第2のコレクタの電流として取り出され、第1のPNPトランジスタのベース端子に流し込まれる。これにより、第1のPNPトランジスタの寄生フ

(6)

特開平 3-262153(4)

フォトダイオードで発生した光電流に起因するベース電流の変化分が補償され、第1のPNPトランジスタの動作に対する光の影響が低減される。

そして、第5及び第6請求項に記載のPNPトランジスタ回路によると、前記第4請求項に記載のPNPトランジスタ回路において、マルチコレクタ構造のPNPトランジスタの第2のコレクタから第1のPNPトランジスタのベース端子に流し込まれる電流と、第1のPNPトランジスタの寄生フォトダイオードで発生した光電流とがほぼ等しくなり、第1のPNPトランジスタのベース電流の変化分に対する補償が高精度に行なわれる。

実施例1

以下、本発明のPNPトランジスタ回路の一実施例（以下「実施例1」という）について第1図及び第2図を参照しつつ説明する。

第1図は本実施例の等価回路を示しており、第2図は本実施例の集積回路断面構造を示している。第1図において、PNPトランジスタ回路はPNPトランジスタ(Q1)を有しており、トランジスタ

(Q1)のエミッタ、コレクタ、及びベースの各端子(E1)(C1)(B1)は周辺回路に接続されてPNPトランジスタとしての機能を周辺回路に提供している。また、トランジスタ(Q1)のベース端子(B1)はトランジスタ(Q3)のコレクタ端子にも結線されている。他方、PNPトランジスタ(Q2)及び(Q3)はトランジスタ(Q1)の動作に対する光の影響を低減するための回路を構成し、この回路は本実施例の特徴となる部分である。すなわち、PNPトランジスタ(Q2)及び(Q3)は、両トランジスタのベース端子とトランジスタ(Q2)のコレクタ端子を結線するとともに、トランジスタ(Q2)のエミッタ端子は抵抗(32)を介して電源(Vcc)に、トランジスタ(Q3)のエミッタ端子は抵抗(33)を介して電源(Vcc)にそれぞれ接続し、カレントミラー回路を構成している。そして、トランジスタ(Q3)のコレクタ端子を前述したようにトランジスタ(Q1)のベース端子(B1)に結線している。ここで、第1図に示すように、接続点(a)はトランジスタ(Q2)及び(Q3)の両ベース端子とトランジスタ(Q2)のコレクタ端子のみを結線し

-11-

-12-

た接続点であって、他には結線されていない。

上記のPNPトランジスタ回路をモノリシック集積回路内で実現するために、第2図に示すように、N型エピタキシャル層(22)がP型サブストレート層(21)に形成される。形成された各N型エピタキシャル層(22)はそれぞれトランジスタ(Q1)(Q2)(Q3)のベースに対応するが、N型エピタキシャル層(22)とP型サブストレート層(21)の間には寄生フォトダイオード(4)(5)(6)が存在する。このため、第1図の等価回路において、トランジスタ(Q1)(Q2)(Q3)の各ベース端子と接地点間に逆バイアスされた寄生フォトダイオード(4)(5)(6)がそれぞれ接続されることになる。したがって、集積回路チップ(20)内に光が侵入することにより、トランジスタ(Q1)のベース端子(B1)に接続された寄生フォトダイオード(4)で光電流(I_{ps})が発生し、この光電流(I_{ps})の発生によってベース電流(I_b)が変化する。また、トランジスタ(Q2)(Q3)についても同様に、ベース端子に接続された寄生フォトダイオード(5)(6)で光電流(I_{ps})(I_{ps})がそれぞれ発

生する。

ところで、前述のように接続点(a)にはトランジスタ(Q2)(Q3)の両ベース端子とトランジスタ(Q2)のコレクタ端子のみが結線されるので、トランジスタ(Q2)(Q3)のベース電流をそれぞれ(I_{bs})(I_{bs})とするとトランジスタ(Q2)のコレクタ電流(I_{cs})は、

$$I_{cs} = I_{pss} + I_{psb} - I_{bs} - I_{bs}$$

となる。また、トランジスタ(Q3)のコレクタ電流(I_{cs})はカレントミラー効果により以下の条件式を満たす値となる。

$$(kT/q) \ln(I_{cs}/I_{cs}) \approx R_2 I_{cs} - R_2 I_{cs}$$

$$I_{cs} \approx \{(kT/q) \ln(I_{cs}/I_{cs}) + R_2 I_{cs}\} / R_2 \quad \text{--- ①}$$

ただし、

k : ボルツマン定数

q : 電子の電荷

T : 絶対温度

R_2 : 抵抗(32)の抵抗値

R_3 : 抵抗(33)の抵抗値

である。上式において、 $T=300K$ とすると $kT/q \approx 0.026V$ であり、コレクタ電流(I_{cs})と(I_{cs})は大きく

-13-

-300-

-14-

(7)

は変わらないものとする(例えば $1/5 \leq I_{cs}/I_{cs} \leq 5$ とすると)、

$$|(kT/q) \ln(I_{cs}/I_{cs})| \ll R_2 I_{cs}$$

となるように抵抗値 $(R_2)(R_3)$ を設定することは十分可能である。そこで、以下、この条件を満足するするように抵抗値 $(R_2)(R_3)$ が選ばれているものとする。このとき、トランジスタ(Q2)と(Q3)の電流増幅率は十分大きいものとする、①式より

$$I_{cs} \approx I_{cs} R_2 / R_3 \\ \approx (I_{pss} + I_{pss}) R_2 / R_3 \quad \dots ②$$

となる。そして、この電流 (I_{cs}) はトランジスタ(Q1)のベース端子(B1)に流れ込まれる。よって、トランジスタ(Q1)のベース電流を $(I_{b'})$ 、トランジスタ(Q1)のベース端子(B1)から周辺回路に流れる電流を (I_b) とすると、

$$I_{b'} = I_b + I_{pss} - I_{cs} \quad \dots ③$$

となる。この式からわかるように、光の侵入によるトランジスタ(Q1)のベース電流 $(I_{b'})$ の変化分 (I_{pss}) を②式の電流 (I_{cs}) によって補償し、トランジスタ(Q1)の動作に対する光の影響を低減するこ

-15-

$$\approx (I_{pss} + I_{pss}) S_1 / (S_2 + S_1) \\ = I_{pss}$$

となり、③式より

$$I_{b'} \approx I_b \quad \dots ④$$

となる。ところで、②式より $I_{cs}/I_{cs} \approx R_2/R_3$ となることから、④式は近似的に次の条件式で置き換えることができる。

$$S_1 = (S_2 + S_3) R_2 / R_3$$

よって、トランジスタ(Q1)のベース領域の面積 (S_1) に対して、この条件式を満足するようにトランジスタ(Q2)(Q3)のベース領域の面積和 $S_2 + S_3$ 及び抵抗比 R_2/R_3 を設定すればよい。ただし、前述のようにコレクタ電流 (I_{cs}) と (I_{cs}) は大きくは変わらないものと仮定しているので、 $I_{cs}/I_{cs} \approx R_2/R_3$ となることから抵抗値 (R_2) と (R_3) も大きくは変わらないように(例えば $1/5 \leq R_2/R_3 \leq 5$ となるように)設定する必要がある。

以上のように設定すると、④式より、トランジスタ(Q1)のベース電流 $(I_{b'})$ は、光の侵入によって寄生フォトダイオード(4)で発生する光電流 (I_{pss})

特開平 3-262153(5)

とができる。特に、電流 (I_{cs}) が電流 (I_{pss}) に等しくなるようにすれば $I_{b'} = I_b$ となり、光の侵入による影響を解消することができる。そのためには、以下のようにすればよい。

一般にフォトダイオードで発生する光電流はそのフォトダイオードの接合部分の面積に比例するので、本実施例の場合、同一の光に対して寄生フォトダイオード(4)(5)(6)で発生する光電流は、第2図に示すN型エピタキシャル層(22)とP型サブストレート層(21)とのそれぞれの接合面積に比例する。したがって、寄生フォトダイオード(4)の接合面積(トランジスタ(Q1)のベース領域の面積) (S_1) と、寄生フォトダイオード(5)の接合面積(トランジスタ(Q2)のベース領域の面積) (S_2) 及び寄生フォトダイオード(6)の接合面積(トランジスタ(Q3)のベース領域の面積) (S_3) との間で、条件式

$$S_1 = (S_2 + S_3) I_{cs} / I_{cs} \quad \dots ⑤$$

を満足するようにし、かつ、トランジスタ(Q1)(Q2)(Q3)を近接して配置すればよい。このとき、

$$I_{cs} = I_{cs} S_1 / (S_2 + S_3)$$

-16-

)の影響を受けず、トランジスタ(Q1)のベース端子(B1)から周辺回路へ流れる電流 (I_b) にはほぼ等しくなる。その結果、トランジスタ(Q1)は光の侵入を受けない状態とほぼ同じ状態で動作することになる。

なお、カレントミラー回路は、PNPトランジスタ(Q2)(Q3)の両エミッタ端子を直接、電源 (V_{cc}) に接続したり、又は、抵抗値 (R_2) と (R_3) を等しくする等の構成により

$$I_{cs} = I_{cs}$$

として使用される場合が多く、この場合には④式より

$$S_1 = S_2 + S_3$$

とすればよい。

実施例 2

次に、本発明のPNPトランジスタ回路の他の実施例(以下「実施例 2」という)について第5図を参照しつつ説明する。

第5図は本実施例の等価回路を示している。この図において、PNPトランジスタ回路はPNP

(8)

特開平 3-262153(6)

トランジスタ(Q11)を有しており、このトランジスタ(Q11)のエミッタ、コレクタ、及びベースの各端子(E11)(C11)(B11)は周辺回路に接続されてPNPトランジスタとしての機能を周辺回路に提供している。また、トランジスタ(Q11)のベース端子(B11)はトランジスタ(Q12)の第2のコレクタの端子(C122)にも接続されている。他方、PNPトランジスタ(Q12)は二つのコレクタ端子(C121)及び(C122)を有するマルチコレクタ構造のPNPトランジスタであって、本実施例の特徴となる部分である。すなわち、トランジスタ(Q12)は、コレクタ端子(C121)とそのベース端子を接続するとともに、コレクタ端子(C122)とトランジスタ(Q11)のベース端子(B11)を接続し、そのエミッタ端子(E12)を抵抗(35)を介して電圧(Vcc)に接続しており、トランジスタ(Q11)の動作に対する光の影響を低減するように図く。ここで、第5図に示すように、接続点(b)はトランジスタ(Q12)のコレクタ端子(C121)とベース端子のみを接続した接続点であり、他には接続されていない。

-19-

タ構造により、コレクタ端子(C122)のコレクタ電流(Ic122)は光電流(Ip014)に応じた電流となる。そして、この電流(Ic122)をトランジスタ(Q11)のベース端子(B11)に流し込むことにより、光の侵入によるトランジスタ(Q11)のベース電流の増加分(Ip011)を相殺し、トランジスタ(Q11)の動作に対する光の影響を低減することができる。

ところで、一様にマルチコレクタ構造のトランジスタの各コレクタ電流は対応するコレクタ周囲長の比に応じた値となるので、

$$\begin{aligned} I_{c122} &= I_{c121} S_{c2} / S_{c1} \\ &\approx I_{p014} S_{c2} / S_{c1} \end{aligned} \quad \cdots \textcircled{7}$$

となる。ただし、

- S_{c1} : コレクタ端子(C121)に対応する
コレクタの周囲長
 S_{c2} : コレクタ端子(C122)に対応する
コレクタの周囲長

である。したがって、トランジスタ(Q11)のベース領域の面積(S_b)とトランジスタ(Q12)のベース領域の面積(S_0)との間で、条件式

本実施例の場合もPNPトランジスタ回路はモノリシック集積回路内で実現され、実施例1と同様の理由で、トランジスタ(Q11)(Q12)の各ベース端子と接地点間に逆バイアスされた寄生フォトダイオード(13)(14)がそれぞれ接続されることになる。そして、集積回路チップ内に光が侵入することにより寄生フォトダイオード(13)で光電流(I_{p013})が発生し、この光電流(I_{p013})の発生によってトランジスタ(Q11)のベース電流(I_{b011})が変化する。また、寄生フォトダイオード(14)にも光電流(I_{p014})が発生する。

本実施例では、前述のように接続点(b)にはトランジスタ(Q12)のコレクタ端子(C121)とベース端子のみが接続されるので、トランジスタ(Q12)のベース電流を(I_{b012})とするとコレクタ端子(C121)のコレクタ電流(I_{c121})は、

$$I_{c121} = I_{p014} - I_{b012} \quad \cdots \textcircled{8}$$

となる。ここで、トランジスタ(Q12)の電流増幅率は十分大きいものとする、ベース電流(I_{b012})は電流(I_{c121})に比べ無視できるので、マルチコレク

-20-

$$S_b = S_0 S_{c2} / S_{c1}$$

を満足するようにし、かつ、トランジスタ(Q11)(Q12)を近接して配置すれば、同一の光に対しては光電流(I_{p013})(I_{p014})がそれぞれベース領域の面積(S_b)(S_0)に比例すること及び⑦式より

$$I_{c122} \approx I_{p014}$$

となる。このとき、トランジスタ(Q1)のベース電流(I_{b011})は、光の侵入によって寄生フォトダイオード(4)で発生する光電流(I_{p013})の影響を受けず、トランジスタ(Q11)のベース端子(B11)から周辺回路へ流れる電流(I_{b011})にほぼ等しくなる。その結果、トランジスタ(Q11)は光の侵入を受けない状態とほぼ同じ状態で動作することになる。

なお、マルチコレクタ構造のトランジスタ(Q12)の二つのコレクタの周囲長(S_{c1})(S_{c2})が等しい場合には、トランジスタ(Q11)のベース領域の面積(S_b)と、トランジスタ(Q12)のベース領域の面積(S_0)とが等しくなるように構成すれば同様の効果を得られる。

発明の効果

(9)

特開平 3-262153(7)

以上説明した通り、第1又は第4請求項に記載のPNPトランジスタ回路によれば、外部から侵入してくる光によるPNPトランジスタの動作への影響を低減することができる。そして、第2、第3、第5、又は第6請求項に記載のPNPトランジスタ回路によれば、寄生フォトダイオードで発生した光電流に起因するベース電流の変化分を高精度に補償することができるため、光が完全に遮断された状態とほぼ同じ状態でPNPトランジスタを動作させることができる。

したがって、本発明のPNPトランジスタ回路は、外部から侵入してくる光を遮断することができない素子の内部で微小電流を扱っている回路や、寄生フォトダイオードによる光電流の影響が無視できない素子に対して極めて有効である。

4. 図面の簡単な説明

第1図は本発明のPNPトランジスタ回路の一実施例の等価回路を示す図であり、第2図は前記実施例の集積回路断面構造を示す図である。第3

図は従来のPNPトランジスタの等価回路を示す図であり、第4図は従来のPNPトランジスタの集積回路断面構造を示す図である。第5図は本発明のPNPトランジスタ回路の他の実施例の等価回路を示す図である。

(4)(5)(8)(13)(14)…寄生フォトダイオード、

(Q1)…第1のPNPトランジスタ(実施例1)、

(Q2)…第2のPNPトランジスタ(実施例1)、

(Q3)…第3のPNPトランジスタ(実施例1)、

(Q11)…第1のPNPトランジスタ(実施例2)、

(Q12)…マルチコレクタ構造の

PNPトランジスタ(実施例2)、

(C121)…第1のコレクタの端子、

(C122)…第2のコレクタの端子、

(a) …カレントミラー回路内の接続点、

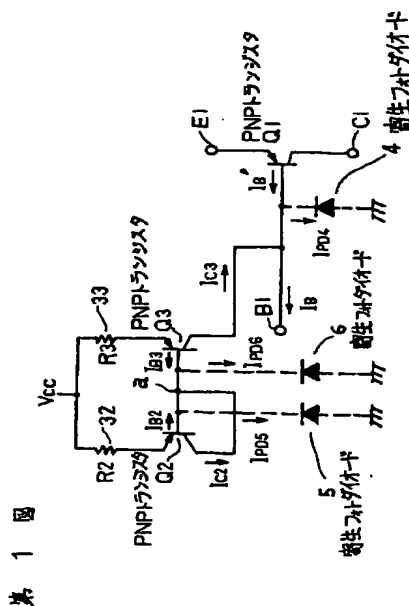
(b) …マルチコレクタ構造のPNPトランジスタ回路内の接続点、

出願人 シャープ株式会社

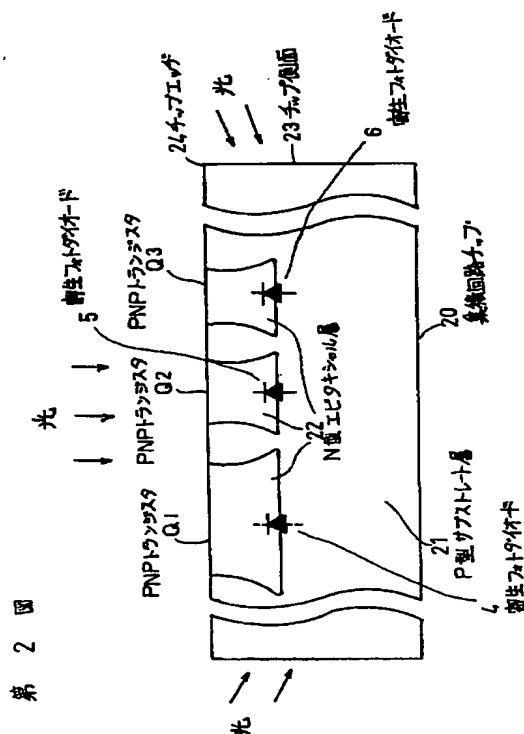
代理人 弁理士 佐野 静夫

弁理士 小林 良平

-23-



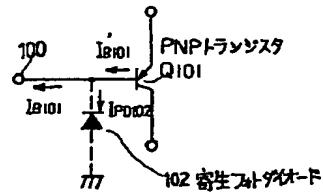
-24-



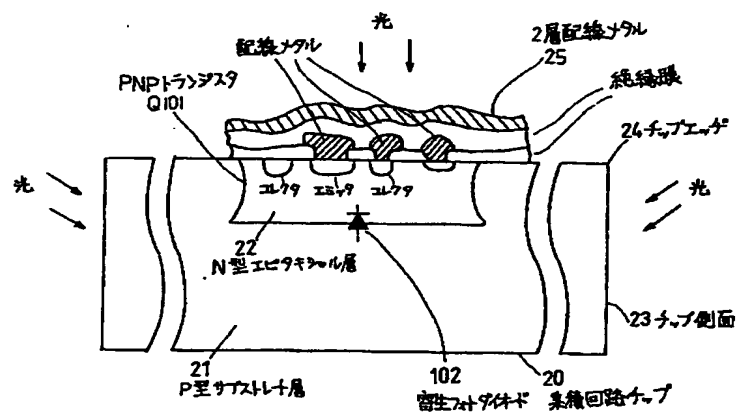
(10)

特開平 3-262153(8)

第 3 図



第 4 図



第 5 図

